

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-305268

(43)Date of publication of application : 28.11.1997

(51)Int.Cl. G06F 1/20
G06F 1/04
G06F 1/08

(21)Application number : 08-146682

(71)Applicant : HITACHI LTD

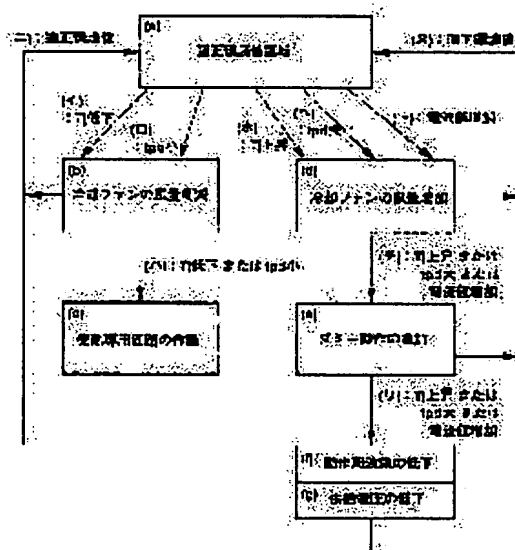
(22)Date of filing : 16.05.1996

(72)Inventor : ISOBE TADAAKI

(54) INFORMATION PROCESSING SYSTEM CAPABLE OF CONTROLLING POWER CONSUMPTION AND COOLING SYSTEM**(57)Abstract:**

PROBLEM TO BE SOLVED: To conduct system operation with optimum power consumption by deriving maximum performance from the information processing system in proper environment.

SOLUTION: The system operating in proper environment (a) detects a decrease (h) or small tpd (i), the system operates while the cooling fan is reduced (b) in air capacity and if no improvement is obtained, a heat generating dedicated circuit is placed in operation (c) to put the system back to proper environment value (j). When a Tj rise (k), large tpd (l), or an increase (m) in supply current quantity is detected, the air capacity of the cooling fan is increased (d) and if improvement is still not obtained either (n), dummy operation (e) is interposed to make the operation of the system slow. According to circumstances (o), at least one of a decrease in operating frequency (f) and a decrease in supply voltage (g) is made and when a proper (p) is obtained, the system is placed in the operation (a) in a normal state.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-305268

(43) 公開日 平成9年(1997)11月28日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/20			G 0 6 F 1/00	3 6 0 D
1/04	3 0 1		1/04	3 0 1 C
1/08				3 2 0 A

審査請求 未請求 請求項の数 7 F D (全 13 頁)

(21) 出願番号 特願平8-146682

(22) 出願日 平成8年(1996)5月16日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 磯部 忠章

神奈川県秦野市堀山下1番地 株式会社日

立製作所汎用コンピュータ事業部内

(74) 代理人 弁理士 笹岡 茂 (外1名)

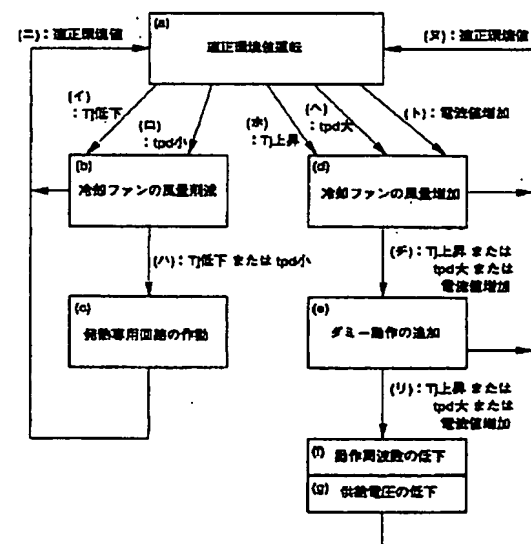
(54) 【発明の名称】 消費電力及び冷却系を制御する情報処理システム

(57) 【要約】

【課題】 情報処理システムから適正な環境下での最大の性能を引き出し、最適な消費電力量でのシステム運転を可能にすることにある。

【解決手段】 適正環境 (a) で運転していたシステムが、半導体の T_j の低下 (イ) 又は t_{pd} 小 (ロ) を検出すると、冷却用ファンの風量削減 (b) 状態での運転し、もし改善が見られなければ、発熱専用回路を動作させて (c) 適正環境値 (ニ) に戻し、また、 T_j 上昇 (ホ) 又は t_{pd} 大 (ヘ) 又は供給電流量の増大 (ト) を検出すると、冷却ファンの風量増加 (d) を行い、これによっても改善がみられない (チ) 場合には、ダミー動作 (e) を挿入してシステムの動作を緩慢にし、それでも改善されない (リ) 場合には、動作周波数の低下 (f) と供給電圧の低下 (g) の少なくとも一方を行い、適正值 (ヌ) になれば、通常状態での動作 (a) に移行する。

図13



【特許請求の範囲】

【請求項 1】 複数の集積回路と、集積回路群に電力を供給する電源装置と、集積回路群を冷却する冷却装置を備える情報処理装置において、集積回路のチップ温度 T_j を測定し前記情報処理装置に出力するチップ温度測定手段を設け、前記情報処理装置は、チップ温度 T_j が適正值より低下したとき前記冷却装置の冷却力を弱くし、チップ温度 T_j が適正值より上昇したとき前記冷却装置の冷却力を強くすることにより前記チップ温度 T_j の調整を行うことを特徴とする消費電力及び冷却系を制御する情報処理システム。

【請求項 2】 請求項 1 記載の消費電力及び冷却系を制御する情報処理システムにおいて、発熱専用回路およびダミー動作制御回路を設け、前記情報処理装置は、前記チップ温度 T_j の適正值よりの低下を調整できないとき発熱専用回路を起動し、前記チップ温度 T_j の適正值よりの上昇を調整できないとき前記ダミー動作制御回路を起動することにより前記チップ温度 T_j の調整を行うことを特徴とする消費電力及び冷却系を制御する情報処理システム。

【請求項 3】 請求項 1 または請求項 2 記載の消費電力及び冷却系を制御する情報処理システムにおいて、クロックスピード制御回路および電圧制御回路を設け、前記情報処理装置は、前記チップ温度 T_j の適正值よりの上昇を調整できないとき、前記クロックスピード制御回路と電圧制御回路のうちの少なくとも 1 つを制御し、動作周波数の低下および／または供給電圧の低下を行うことにより前記チップ温度 T_j の調整を行うことを特徴とする消費電力及び冷却系を制御する情報処理システム。

【請求項 4】 複数の集積回路と、集積回路群に電力を供給する電源装置と、集積回路群を冷却する冷却装置を備える情報処理装置において、前記情報処理装置における回路の遅延時間 t_{pd} を監視／測定する遅延時間測定回路を設け、前記情報処理装置は、遅延時間 t_{pd} が適正值より減少したとき前記冷却装置の冷却力を弱くし、遅延時間 t_{pd} が適正值より増大したとき前記冷却装置の冷却力を強くすることにより前記遅延時間 t_{pd} の調整を行うことを特徴とする消費電力及び冷却系を制御する情報処理システム。

【請求項 5】 請求項 4 記載の消費電力及び冷却系を制御する情報処理システムにおいて、発熱専用回路およびダミー動作制御回路を設け、前記情報処理装置は、前記遅延時間 t_{pd} の適正值よりの減少を調整できないとき発熱専用回路を起動し、前記遅延時間 t_{pd} の適正值よりの増大を調整できないとき前記ダミー動作制御回路を起動することにより前記遅延時間 t_{pd} の調整を行うことを特徴とする消費電力及び冷却系を制御する情報処理システム。

【請求項 6】 請求項 4 または請求項 5 記載の消費電力

及び冷却系を制御する情報処理システムにおいて、クロックスピード制御回路および電圧制御回路を設け、前記情報処理装置は、前記遅延時間 t_{pd} の減少を調整できないとき、前記クロックスピード制御回路と電圧制御回路のうちの少なくとも 1 つを制御し、動作周波数の低下および／または供給電圧の低下を行うことにより前記遅延時間 t_{pd} の調整を行うことを特徴とする消費電力及び冷却系を制御する情報処理システム。

【請求項 7】 複数の集積回路と、集積回路群に電力を供給する電源装置と、集積回路群を冷却する冷却装置を備える情報処理装置において、投入されるジョブ量を管理するジョブ量管理機構と、クロックスピード制御回路と、電圧制御回路を設け、前記情報処理装置は、前記ジョブ量管理機構で管理するジョブ量が適正量より減少したとき、前記クロックスピード制御回路、電圧制御回路、冷却装置のうちの少なくとも 1 つを制御し、動作周波数の低下、供給電圧の低下、冷却力の低下の少なくとも 1 つを行い、ジョブ量が適正量より増大したとき、前記クロックスピード制御回路、電圧制御回路、冷却装置のうちの少なくとも 1 つを制御し、動作周波数の上昇、供給電圧の上昇、冷却力の増大の少なくとも 1 つを行うことにより、ジョブ量に応じて動作状態を変化させることを特徴とする消費電力及び冷却系を制御する情報処理システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、システムの動作環境や動作状況、与えられている仕事量から、システムの消費する電力量を最適に制御する情報処理システムに関する。更には、許容される動作環境や条件の範囲の中で、最高の性能を実現する為に、システムの動作形態を制御する情報処理システムに関する。

【0002】

【従来の技術】 近年、パーソナル情報システムを始めとして、コンピュータシステムの低消費電力化が進められている。この動きを技術的に分類すると大きく次の二つに分けられる。まず、システム非動作時の低消費電力化技術であり、もう一つがシステム動作時の低消費電力化技術である。第一の分類の技術に関しては、欧米政府機関による省エネルギー基準策定をきっかけにコンピュータシステムの機能としてその実現方法の検討／製品化が進められており、主にシステム待機時の消費電力を抑える技術を中心に進展している。この動向については、「波紋広げる省電力基準コンピュータの設計見直し」へ」、日経エレクトロニクス no. 590、P103-134（文献 1）に詳しく述べられている。更に、コンピュータシステム、特に CPU に対するクロック周波数を PLL（フェーズ・ロックド・ループ）を用いて適切に設定し、消費電力を削減する技術も提案されている。詳細は、「電力を節約する合成クロック・マイクロコン

ピュータ」特公平4-12842（文献2）に示されている。また、コンピュータシステム全体が待機状態という場合だけではなく、備えている処理能力に対して処理すべき仕事量が少ない場合にも、備えている能力／機構を一部休止させるというきめ細かな技術が開発されている。例えば、「並列マルチプロセッサシステムの低消費電力化回路」特開平6-309288（文献3）に述べられているように、オンライントランザクション処理を行う並列プロセッサシステムにおいて、システムに入力される仕事量に応じて動作させるプロセッサの数を制御して、総消費電力を最小限に抑圧する方式が提案されている。

【0003】一方では、システム動作時の消費電力そのものを低減しようとする研究や技術開発も活発になってきている。この動きの背景には、地球規模での省エネルギー化の流れ以外に、技術の発展による情報処理形態の変化が挙げられる。つまり、通信技術の発展や通信インフラストラクチャの整備と相まって、業務用／私的使用に耐え得る現実的なPDA（Personal Digital Assistants：携帯型情報機器）に対する要求が高まってきているのである。この実用性を高める重要な要素の一つとして、如何に低消費電力で高い機能を実現するかという課題が挙げられており、この低電力化の技術に関する研究／開発が進められている。また、システムの動作環境を監視する方式として、「半導体チップ内の温度（ T_j ：Junction Temperature）が規定値を越えるか否かを監視し、超えると自動的に半導体チップ内のクロックを停止する機能と、それをチップ外部に知らせる端子を備える」という機能が米Intel社Pentium Proマイクロプロセッサで実現されている。

【0004】

【発明が解決しようとする課題】前述した技術動向の中で、第一の分類である非動作時（部分）の低電力化に関しては、あくまでも電力の低減を強く指向している。従って、低電力化を進めた場合に発生する性能の劣力に関しては殆ど考慮されていない。例えば、前記文献1の基準例には、低消費電力状態からの復帰時間が規定されていない。つまり、待機状態にあったシステムは、使用しようとした時点から実使用可能状態になるまでの立ち上げ時間が必要であり、この間の時間的な無駄が発生してしまうわけである。この性能に関するデメリットは、一般のシステムでは問題視されることが少ないが、処理時間を重要視するシステム、特に高性能システムでは大きな問題となる。また、システムに与えられた仕事量が少ない場合に、前記文献3に示すようにシステム内のプロセッサを一部停止させることがある。この場合、プロセッサが搭載されているシステム内の物理的な位置によってはプロセッサを構成するLSIなどの温度が極めて低い状態になることがある。一旦温度を低下させた場合に

は、クールダウンした状態から正常な動作の実現が可能な状態になるまで温度上昇を待つ必要がある。これが保証できない場合には、逆にシステムとして幅広い温度での正常動作を保証する必要がある、システムを構成する半導体の能力を十分に引き出すことができなくなってしまう。

【0005】もし、動作温度を狭い範囲に限定（保証）できれば、使用している半導体の特性を充分に活かした動作を行わせることができる。更に前記文献3に示すように、単純にプロセッサを停止させるだけでは、無駄な冷却系の運転が必要になり、全体で見た低電力化が図られることにはならない。

【0006】また、システムとして処理すべき仕事量に応じて、システムの稼働時間を管理することも行われる。この場合、処理すべき仕事がある間はシステムを動作させ、仕事が無くなったところでシステムを停止させることなどが行われる。ところが、専用の冷却設備を備えた計算機システムに於て、短時間（数時間）システムを完全に停止させることは、再開時の消費電力量を考えると得策ではない。

【0007】更に、エネルギー効率を考慮しないとしても、部分的に機構を停止させる技術に関しては、文献3で示した技術が常に適用できるわけではない。例えば、技術計算向けの並列プロセッサシステムなどに於ては、プログラムのコンパイル時に動作させるプロセッサ数を規定する場合があります。この場合には単純に実行時の動作プロセッサ数を削減することはできない。

【0008】一方、システムの冷却系の設計においては、システム設計の段階で予測し得る最大の発熱量に対応できる冷却能力を備えるのが通例である。しかし、常に最大発熱量を考慮して設計すると、システムの冷却系や電源給電系を通常動作時に必要な諸元に対して過剰な仕様で設計することになり、システム構成上の効率を劣化させるとともに、省エネルギー化の流れにも反することになる。

【0009】つまり、実際のシステムの動作状況に応じた冷却、もしくは冷却能力に応じた動作状態、またはシステムの設置環境に応じた動作状態を作り出していくことが重要である。以上のような従来技術の問題点を解決すべく本発明を提案する。

【0010】本発明の目的は、システムを構成する半導体集積回路の温度を観測し、半導体の動作が正常に行われる範囲の温度になるよう制御することにより、適正な温度での動作を保証し、半導体の持つ特性を最大限に引き出すことにある。また、本発明の他の目的は、システムが設置されている環境に合わせて、動作状況を制御することにより、冷却系を含めた過剰な環境系の機構の設計を排したシステムを提供することにある。更に、本発明の他の目的は、システムに対する負荷が変化する場合に、半導体に供給する電圧／クロック周波数を制御する

ことにより、最適な消費電力量でのシステム運転を可能とすることにある。

【0011】

【課題を解決するための手段】上記目的を達成するため、本発明は、複数の集積回路と、集積回路群に電力を供給する電源装置と、集積回路群を冷却する冷却装置を備える情報処理装置において、集積回路のチップ温度 T_j を測定し前記情報処理装置に出力するチップ温度測定手段を設け、前記情報処理装置は、チップ温度 T_j が適正値より低下したとき前記冷却装置の冷却力を弱くし、チップ温度 T_j が適正値より上昇したとき前記冷却装置の冷却力を強くすることにより前記チップ温度 T_j の調整を行うようにしている。さらに、発熱専用回路およびダミー動作制御回路を設け、前記情報処理装置は、前記チップ温度 T_j の適正値よりの低下を調整できないとき発熱専用回路を起動し、前記チップ温度 T_j の適正値よりの上昇を調整できないとき前記ダミー動作制御回路を起動することにより前記チップ温度 T_j の調整を行うようにしている。さらに、クロックスピード制御回路および電圧制御回路を設け、前記情報処理装置は、前記チップ温度 T_j の適正値よりの上昇を調整できないとき、前記クロックスピード制御回路と電圧制御回路のうちの少なくとも1つを制御し、動作周波数の低下および／または供給電圧の低下を行うことにより前記チップ温度 T_j の調整を行うようにしている。

【0012】また、複数の集積回路と、集積回路群に電力を供給する電源装置と、集積回路群を冷却する冷却装置を備える情報処理装置において、前記情報処理装置における回路の遅延時間 t_{pd} を監視／測定する遅延時間測定回路を設け、前記情報処理装置は、遅延時間 t_{pd} が適正値より減少したとき前記冷却装置の冷却力を弱くし、遅延時間 t_{pd} が適正値より増大したとき前記冷却装置の冷却力を強くすることにより前記遅延時間 t_{pd} の調整を行うようにしている。さらに、発熱専用回路およびダミー動作制御回路を設け、前記情報処理装置は、前記遅延時間 t_{pd} の適正値よりの減少を調整できないとき発熱専用回路を起動し、前記遅延時間 t_{pd} の適正値よりの増大を調整できないとき前記ダミー動作制御回路を起動することにより前記遅延時間 t_{pd} の調整を行うようにしている。さらに、クロックスピード制御回路および電圧制御回路を設け、前記情報処理装置は、前記遅延時間 t_{pd} の減少を調整できないとき、前記クロックスピード制御回路と電圧制御回路のうちの少なくとも1つを制御し、動作周波数の低下および／または供給電圧の低下を行うことにより前記遅延時間 t_{pd} の調整を行うようにしている。

【0013】また、複数の集積回路と、集積回路群に電力を供給する電源装置と、集積回路群を冷却する冷却装置を備える情報処理装置において、投入されるジョブ量を管理するジョブ量管理機構と、クロックスピード制御

回路と、電圧制御回路を設け、前記情報処理装置は、前記ジョブ量管理機構で管理するジョブ量が適正量より減少したとき、前記クロックスピード制御回路、電圧制御回路、冷却装置のうちの少なくとも1つを制御し、動作周波数の低下、供給電圧の低下、冷却力の低下の少なくとも1つを行い、ジョブ量が適正量より増大したとき、前記クロックスピード制御回路、電圧制御回路、冷却装置のうちの少なくとも1つを制御し、動作周波数の上昇、供給電圧の上昇、冷却力の増大の少なくとも1つを行うことにより、ジョブ量に応じて動作状態を変化させるようにしている。

【0014】

【発明の実施の形態】図1に、本発明を適用した複数のプロセッシングユニット(100、200)からなるプロセッサシステム1の構成図を示す。プロセッサシステム1内には、システム全体として動作環境を監視する電流量監視回路24とシステム内ジョブ量管理機構30を備える。また、プロセッシングユニット100内には、半導体チップの温度を監視／測定する T_j 測定回路108、論理回路を構成する論理ゲート及び配線を含めた回路の遅延時間を監視／測定する遅延時間測定回路109、プロセッシングユニットの動作状況を監視するビジー監視回路110、プロセッシングユニット単位で電流量を監視する電流監視回路111、を備える。以上の回路／機構によって検出された動作環境／状態は、統括制御プロセッサ10またはプロセッシングユニット内制御機構101に報告され、各々設定された条件が整うと、システム内またはプロセッシング内状態／環境を変更する制御が行われる。実際の制御は、プロセッサシステム1内であれば、システムの動作周波数を制御するクロックスピード制御回路21、システムに供給する電圧を制御する電圧制御回路22、システムの冷却用ファン制御回路23、によって行われる。また、プロセッシングユニット100内であれば、プロセッシングユニットの動作周波数を制御するクロックスピード制御回路102、供給電圧を制御する電圧制御回路103、冷却用のファン制御回路104、機構のビジー状態を緩和するためのダミー動作を制御するダミー動作挿入制御回路105、半導体チップの温度が低すぎる場合に通常動作に影響を与えることなく発熱させることが可能な回路を制御する発熱専用制御回路106、によって行われる。

【0015】図13は、動作環境値に応じてシステムの動作を最適化するための「システム動作内容と状態遷移」について示したものである。まず、適正環境(a)で運転していたシステムが、半導体の T_j の低下(i)または t_{pd} 小(ロ)を検出すると、冷却用ファンの風量削減(b)状態での運転に入る。もし改善が見られず、 T_j 低下または t_{pd} 小(ハ)を更に検出すると、発熱専用回路を動作させる(c)ことで適正環境値に戻す処理を行う。これにより、 T_j / t_{pd} ともに適正値

(二)になれば、通常状態での適正環境値運転(a)に移行する。また、 T_j 上昇(h)または t_{pd} 大(ヘ)または供給電流量の増大(ト)を検出すると、冷却ファンの風量増加(d)を行う。これによっても T_j や t_{pd} 、電流値に改善がみられない(チ)場合には、ダミー動作(e)を挿入することでシステムの動作を緩慢にする。それでも改善されない(リ)場合には、動作周波数の低下(f)と供給電圧の低下(g)の少なくとも一方を行う。なお、ダミー動作の追加の前に動作周波数の低下(f)と供給電圧の低下(g)の少なくとも一方を行うようにしてもよい。以上の処理により、 T_j や t_{pd} 、電流値が適正值(ヌ)になれば、通常状態での動作(a)に移行する。なお、図13に示す動作状態

(b)、(c)への移行の順番や、動作状態(d)、(e)、(f)/(g)への移行の順番は、本実施例の順番に限るものではない。つまり、動作状態(a)から(c)そして(b)に移行するように制御してもよい。

【0016】図14は、システムに投入されて実行待ち状態になっているジョブ量に応じた、「システム動作内容と状態遷移」について示したものである。実行待ちのジョブ量が少ない(イ)場合には、動作周波数の低下

(b)と供給電圧の低下(c)、冷却用ファンの風量削減(d)の少なくとも1つを用いた状態でシステムを動作させることにより、負荷の少なさに応じてシステムの動作を緩慢にする。一方、実行待ちのジョブ量が少ない

(ハ)場合には、動作周波数の上昇(e)と供給電圧の上昇(f)、冷却ファンの風量増加(g)の少なくとも1つを用いた状態でシステムを高速に動作させる。以上の結果により、適正なジョブ量になったこと(ロ、ニ)を検出すると、通常状態での処理(a)に移行する。図14に示した流れにより、実行待ちのジョブ量に応じて動作環境を変化させることで、システムを完全に停止させることなく投入されたジョブを処理することが可能となり、システム運用の柔軟性を向上させることができる。完全停止に比べて、サービス再開までの時間の短縮も可能になる。また、システム完全停止に伴うシステム空調系まで含めた電力消費量は、完全停止(A)の場合よりも図14に示す運用時(B)の方が少なく済む場合も多い。このイメージを図15に示す。尚、図14に示したシステムの状態遷移は、図13に示した遷移と組み合わせる行うことが望ましい。

【0017】以上に示した制御は、図2に示す基本的な流れに基づいている。即ち、電流値、温度、スピード等の物理量をセンサにより測定/検出して、それをA/D変換でデジタル量に変換し、これに基づく制御量を決定して制御回路を動作させる。これにより、動作環境などを所望の状態に保つ事ができる。

【0018】以下に各測定/検出/制御機構の詳細を列挙して説明する。図3に、半導体チップ内の論理回路の遅延時間 t_{pd} を測定する回路の一例を示す。論理回

路のインバータ(109A~109F)を多段に接続した「リングオシレータ」109を用い、測定時点で動作する周期性信号109aを発生させ、この信号をレジスタ1091と「+1」回路1092からなるカウンタに入力する。プロセッシングユニット内制御機構101側は、カウンタを初期化するリセット信号101aと所定期間カウントを許可(レジスタ1091の更新を許可)する信号101bを供給することにより、所定期間でのカウント値1091aを得ることができる。これにより、その時点の論理回路のスピードを測定することが可能である。つまり、動作環境により、論理ゲート及び論理ゲート間の配線による遅延時間 t_{pd} が小さくなれば、所定期間でカウントされる値は大きくなり、遅延時間が大きくなればカウント値は小さくなる。従って、定期的にこのカウンタを動作させて値を監視することにより、プロセッシングユニットを構成する半導体の動作スピードを把握する事ができる。尚、図3では、同一の半導体内でリングオシレータを構成する場合の回路を示したが、複数の半導体チップを跨いでリングオシレータを構成し、複数チップの平均的な遅延時間を計測することも可能である。

【0019】図4に、半導体チップの内部温度 T_j の測定機構を示す。108Aは温度検出回路であり、内部構造は「DAL LAS社のDS1620」(文献4)に示される回路や、「温度センサ回路のCMOS化に関する検討」電子情報通信学会論文誌、Vol. J78-C-11、No. 3、p128~130(文献5)に示されるCMOS版回路などで実現する。(文献4)のような温度検出回路がデジタル量を出力する仕様であれば、108BのA/D変換回路は不要である。一方、(文献5)に示される回路のように、アナログ量を出力する場合には、108BのA/D変換回路を用いる必要がある。A/D変換回路108Bは、アナログ量をデジタル量に変換する回路であり、検出された温度がデジタル量108aとしてプロセッシングユニット内制御機構101に供給される。これにより、チップ内の T_j を把握することができる。尚、図4では、1チップの温度だけを検出する回路構造を示したが、複数チップからの T_j 観測信号を同時に観測することも可能である。また図4では、A/D変換回路108Bを温度検出回路108Aと同一チップ上に配置したが、実現の容易性などを考慮して、A/D変換回路108Bをチップの外付けする構造としてもよい。

【0020】図6に、プロセッサシステム1に供給する電源電流量の監視機構24を示す。241は、非接触型の電流計である。これは、電源供給路を流れる電流によって発生する磁界の強さを一次系インダクタンスで電流に変換し、この電流路に対して二次系のインダクタンスで二次系電流に再変換して、目的の電源供給路を流れる電流量を定量化する事ができる。尚、電流計は非接触型

だけでなく、電源供給路に直列に挿入する形態での実現方法を探ってもよい。電流計 241 から出力された電流値を示す信号 241a は、242 の A/D 変換器に入力され、ディジタル量 242a として統括制御プロセッサ 10 に供給される。これにより、プロセッサシステム 1 が消費している電力量を実時間で把握することが可能となる。尚、プロセッシングユニット 100/200 単位の電流量を監視する回路 111 の構造も、監視機構 24 と同様である。

【0021】図 7 に、クロックスピード制御回路 102 の構成を示す。水晶発振器 3 から供給された源発振の信号 3a を周波数シンセサイザ (PLL) 102A に入力し、ここで複数の周波数のクロック信号群 102Aa を生成してタイミングセクタ回路 102B に供給する。周波数制御レジスタ 102C は、プロセッシングユニット内制御機構からの値を信号線 101d によって設定するための機構であり、生成 (分周) クロック周波数種を指示する信号 102Ca を周波数シンセサイザ 102A に供給し、当該回路 102A からのクロック (スピード) を選択するための信号 102Cb をタイミングセクタ回路 102B に供給する。これにより、プロセッシングユニットからの指示により、自らが動作するクロックスピードを制御することができる。尚、本機構は「電力を節約する合成クロック・マイクロコンピュータ」特公平 4-12842 (文献 2) に示された構造などを採用することが妥当である。尚、プロセッサシステム 1 全体のクロックスピード制御回路 21 の構造も、制御回路 102 と同様である。

【0022】図 8 に、電圧制御回路 103 の構成を示す。電源装置 4 は、プロセッシングユニット 100 への電圧供給 4a と供給している電圧のセンス (フィードバック) 101f により、既定値の電圧を維持する機能を有するスイッチングレギュレータである。プロセッシングユニット内制御機構 101 は、電圧制御回路 103 内のレジスタ 103B にプロセッシングユニット 100 に供給する電圧値を信号線 101e で設定することにより規定する。レジスタ 103B の値 103Ba は、A/D 変換器 103A によりアナログ量 103Aa に変換され、参照電圧としてスイッチングレギュレータ 4 に供給する。スイッチングレギュレータは、この参照電圧の値に対応した電圧を供給する。これにより、プロセッシングユニット 100 が自らの電圧を設定する機能を備えることができる。尚、プロセッサシステム 1 全体の電圧制御回路 22 の構造も、制御回路 103 と同様である。

【0023】図 9 に、温度検出機能を備えるファン制御回路 104 の構成を示す。電圧制御型ファン 5 によって冷却されたプロセッシングユニット 100 の周囲温度 5a を、温度センサ 104C によって観測し、その温度値 104Ca を A/D 変換器 104B によりディジタル量 104Ba に変換する。この値が、プロセッシングユニ

ット内制御機構 101 に入力され、所定値と比較される。周囲温度 5a を変化させる場合は、レジスタ 104D に所定値を信号線 101f により設定する。設定された値 104Da は、D/A 変換器 104D により電圧値 104a に変換され、電圧制御型ファン 5 の回転数を制御することに使用される。これにより、プロセッシングユニットが所定の周囲温度 5a になるように、冷却ファンを制御できることになる。尚、プロセッサシステム 1 全体のファン制御回路 23 の構造も、制御回路 104 と同様である。

【0024】図 10 に、プロセッシングユニット 100 内の発熱専用回路の一構成を示す。発熱専用回路 106 は、フリップフロップ 106A/106C とインバータ 106B をループ状に接続したリングオシレータ同様の回路で構成する。発熱専用回路の動作は、プロセッシングユニット内制御機構 101 からの動作許可信号 101g により制御される。すなわち、動作許可が発行されていない場合には、リングオシレータ相当の回路の発振を停止させることで、動作を停止させて電流の消費を停止させて発熱を抑え、動作許可が発行されている場合にのみ、発熱専用回路を発振させて電流を消費させて発熱させる。これにより、プロセッシングユニット 100 の温度を緊急に上昇させる必要がある場合にのみ動作させる機構を実現することができる。尚、本実施例では発熱専用回路としてリングオシレータの構造を採ったが、効率的に発熱させられる回路であれば、この回路構造に限るものではない。

【0025】図 11 に、ダミー動作制御回路の構成を示す。6 は一般的な要求発行回路であり、7 は一般的な要求受付回路である。要求発行回路 6 は、要求受付回路 7 からの処理終了信号を受け取り次の要求を発行する。ダミー動作制御回路 105 は、処理終了信号の要求発行回路 6 への伝達を遅延させる機能を備えることにより、余分な動作時間を挿入してダミー動作を実現する。ダミー動作制御回路 105 は、要求受付回路 7 からの処理終了信号 7a を所定時間遅延させるためのフリップフロップ群 105A/105B/105C から成るシフトレジスタを備える。プロセッシングユニット内制御機構 101 からの低速動作指示信号 101h が、ダミー動作を指示すれば、セクタ 105D でシフトレジスタからの出力を選択した処理終了信号 7a が要求発行回路 6 に戻される。プロセッシングユニット内制御機構 101 からの指示信号 101 が、ダミー動作を指示していなければ、処理終了信号 7a がそのまま 7a として要求発行回路 6 に戻される。このようにして、プロセッシングユニット 100 の発熱を抑える場合には、低速動作指示信号 101h を制御することで、プロセッシングユニット内の動作を抑えることにより実現することができる。

【0026】図 12 に、システムに投入されているジョブ量を管理する機構を示す。統括制御プロセッサ 10 に

10

20

30

40

50

図示しない経路でジョブが投入されると、ジョブ量管理機構 30 内の記憶装置 30A に記憶されたジョブ量値が増加され、システム内でジョブが終了すると、記憶装置 30A に記憶されたジョブ量値が減算される。この増減処理は、統括制御プロセッサ 10 が、バス 10b を通して記憶装置からのジョブ量値を読み出して加工した後、バス 10a を通して記憶装置にジョブ量値を書き込むことで実現される。この一連の処理により、統括制御プロセッサ 10 は、システム内に投入されているジョブ量を管理することができる。

【0027】以上の説明では、実動作での温度／遅延時間量／電流量などで直接物理量を観測できる場合を前提としたが、物理量を直接観測できない場合もある。図 5 に、システムの動作状態を監視する回路の構造を示す。1109 のリソース制御回路は、例えば演算機構（回路）の動作を制御する回路であり、動作状態監視回路 110 には演算器が動作中であることを示す信号 1109a を供給する。動作状態監視回路 110 は、プロセッシングユニット内制御機構 101 からのカウンタリセット信号 101c によって初期化され、動作中信号 1109a のアクティブな期間をカウントするカウンタである。このカウンタは、レジスタ 1101 と「+1 回路」1102 によって構成される。プロセッシングユニット内制御機構 101 がリセットを発行した時点からの対象リソースの動作状況は、カウント値 1101a としてプロセッシングユニット内制御機構 101 に供給される。上記の機構により、あらかじめ各論理回路等の動作率（ビジー率）と消費電力の関係を記憶装置内に対応表の形で保持しておくことにより、そのビジー率が所定の値になるように制御することで、システムとしての温度／消費電力などを間接的に制御することができる。尚、ビジー率は実行しているプログラムの内容及びシステムでの処理量の多さに依存して変化するが、プログラムとは独立にビジー率を設定することにより、システムとしての消費電力を一定値以下に保つことが可能になる。

【0028】尚、図示していない更なる機構によって、前記の目的を達成することもできる。例えば、集積回路もしくはその集合体に対して、ダミーコード（命令列）の実行／停止を制御する回路や、集積回路もしくはその集合体での高速処理機構のオン／オフ（キャッシュのヒット率操作など）を制御する回路を備えることにより、上昇した Tj の低減や消費電力の削減を実現することができる。

【0029】また、特許請求の範囲には記載していないが、消費電力及び冷却系を制御する情報処理システムの実施態様として、以下のような実施態様が取れる。

【0030】すなわち、

(1) 複数の集積回路と、集積回路群に電力を供給する電源装置と、集積回路群を冷却する冷却装置を備える情報処理装置において、該情報処理装置に供給する電源電

流量の監視機構を設け、前記情報処理装置は、前記電源電流量が増加したとき前記冷却装置の冷却力を強くする。

【0031】(2) 上記 (1) の実施態様において、ダミー動作制御回路を設け、前記情報処理装置は、前記冷却装置の冷却力の増強によっても前記電源電流量が増加を改善できないとき、前記ダミー動作制御回路を起動する。

【0032】(3) 上記 (1) または (2) の実施態様において、クロックスピード制御回路および電圧制御回路を設け、前記情報処理装置は、前記電源電流量が増加を改善できないとき、前記クロックスピード制御回路と電圧制御回路のうちの少なくとも 1 つを制御し、動作周波数の低下および／または供給電圧の低下を行う。

【0033】

【発明の効果】本発明では、情報処理システムを構成する半導体集積回路のチップ温度や論理回路を構成する集積回路の遅延時間、システムに供給される電流量を監視し、適正動作値と差が生じている場合には、動作周波数や供給電圧制御、冷却用ファンの風量制御や発熱専用回路の動作制御、ダミー動作の挿入制御を行うことにより、適正な環境下での最大の性能を引き出し、最適な消費電力量でのシステム運転が可能になる。また、システムを常に適正な環境で動作させることができるため、電源の給電系や冷却系を過剰な仕様で設計する危険性を回避した性能価格比を最適化したシステムを設計することが可能になる。また、システムに対して実効待の状態にあるジョブ量によって、システムの動作環境（動作周波数、供給電圧）を変化させることにより、最適な消費電力下でのシステム運用を行うことが可能になる。

【図面の簡単な説明】

【図 1】本発明を適用した複数のプロセッシングシステムからなるプロセッサシステムの構成を示す図である。

【図 2】実施例における各種制御の基本的な制御の流れを示す図である。

【図 3】半導体の遅延時間を測定するための回路を示す図である。

【図 4】半導体のチップ温度を観測するための測定機構を示す図である。

【図 5】情報システム内の機構の稼働状態を監視する機構を示す図である。

【図 6】情報システムへの供給電流量を計測する機構を示す図である。

【図 7】情報システムに供給する動作周波数（クロックスピード）を制御する回路を示す図である。

【図 8】情報システムに供給する電圧値を制御する回路を示す図である。

【図 9】情報システムを冷却する冷却ファンの風量を制御する回路を示す図である。

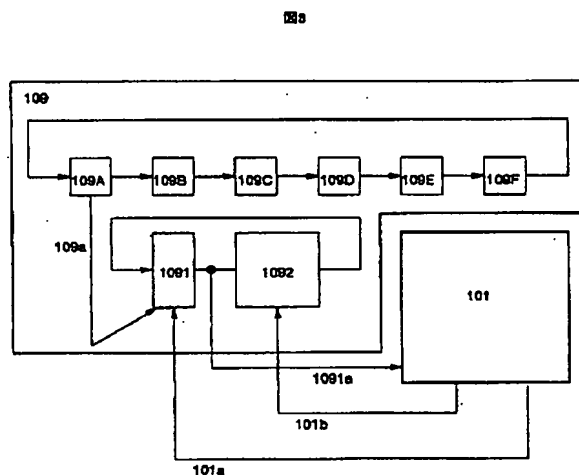
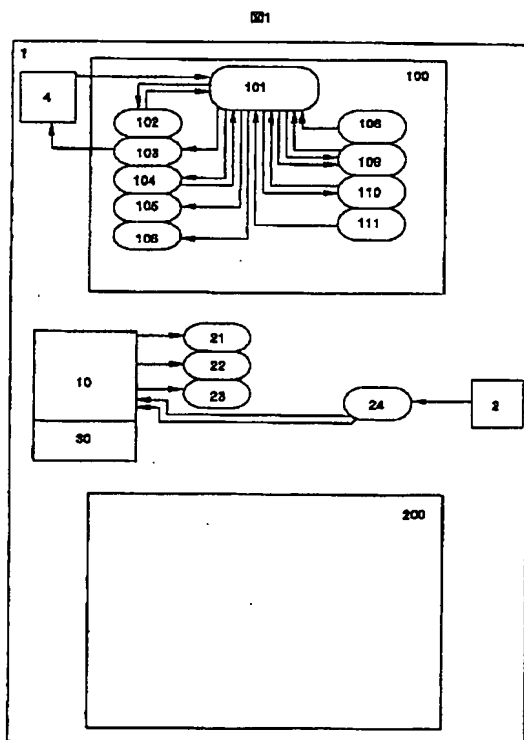
【図 10】発熱専用回路を示す図である。

【図15】システムに投入されたジョブ量に応じて、完全停止する場合と省電力モードで運転し続けた場合の電力量の比較を示す図である。

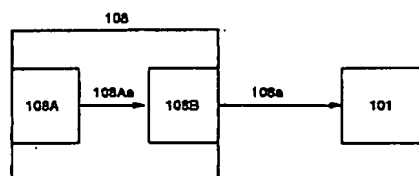
- 1 プロセッサシステム
- 2 電流源
- 3 水晶発信機
- 4 電源装置

1 1 0 動作狀態監視回路

【图 3】

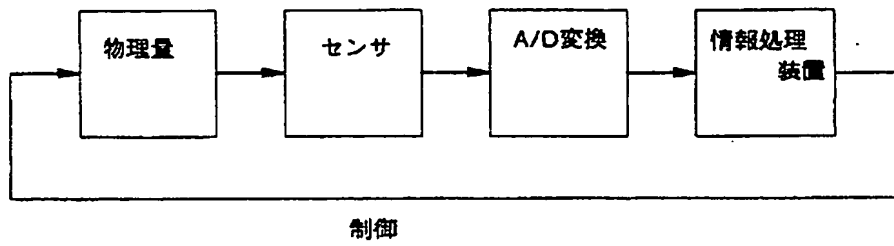


【図 4】



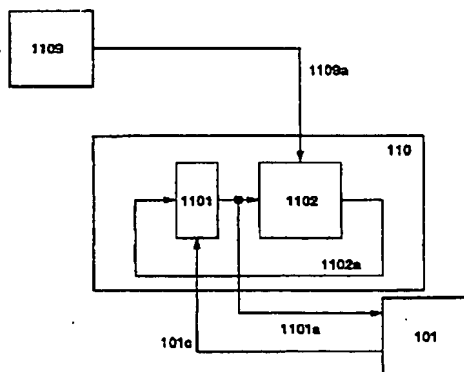
【図2】

図2



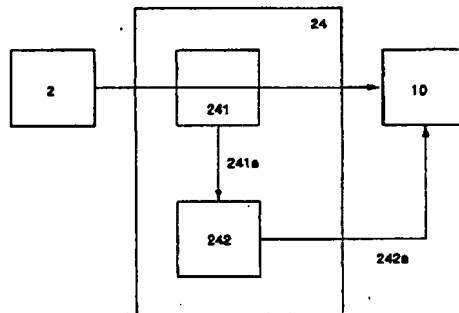
【図5】

図5



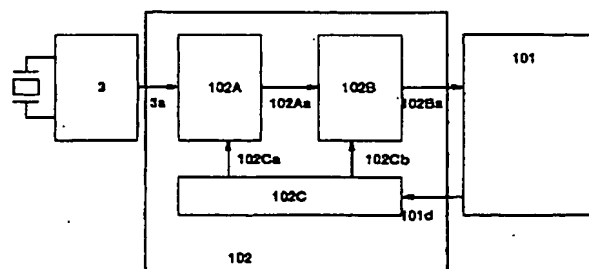
【図6】

図6



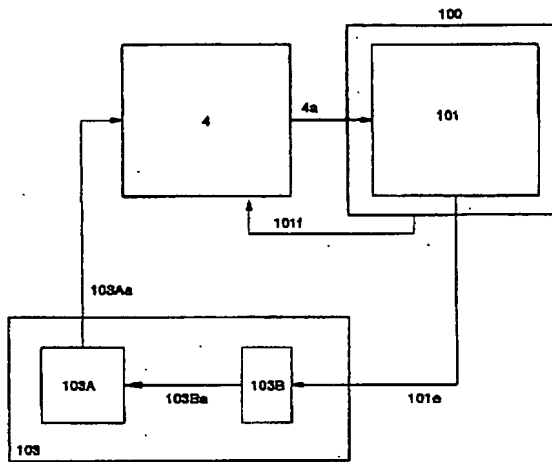
【図7】

図7



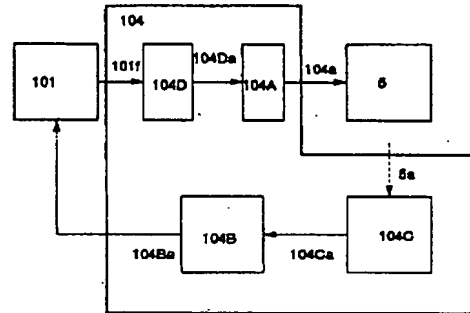
【図 8】

図8



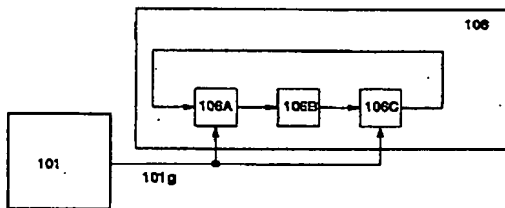
【図 9】

図9



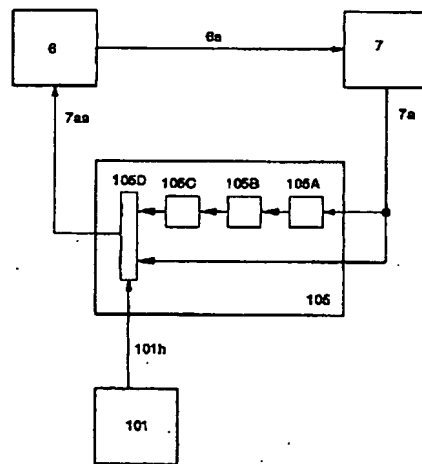
【図 10】

図10



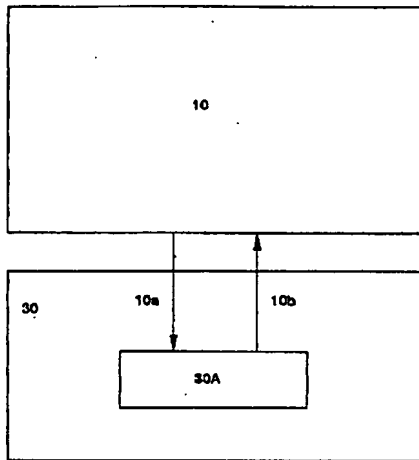
【図 11】

図11



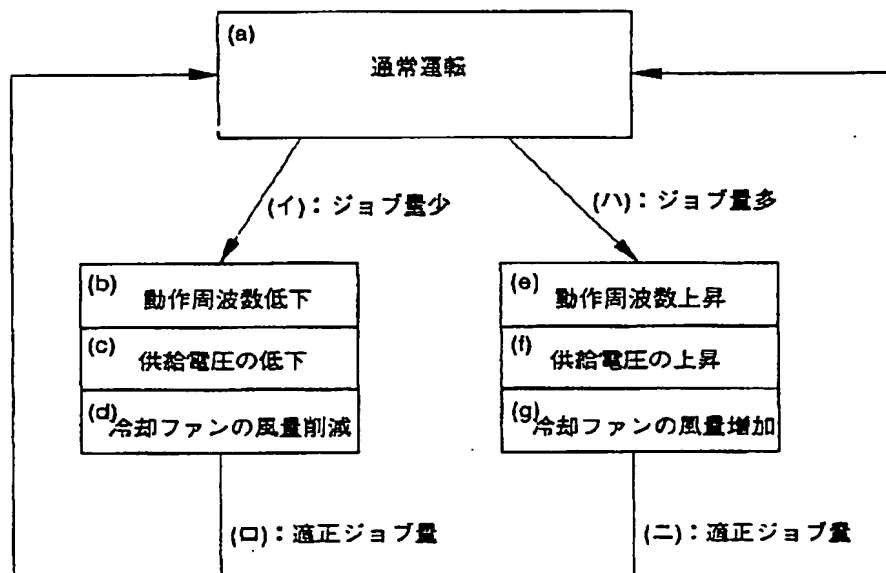
【図 12】

図12



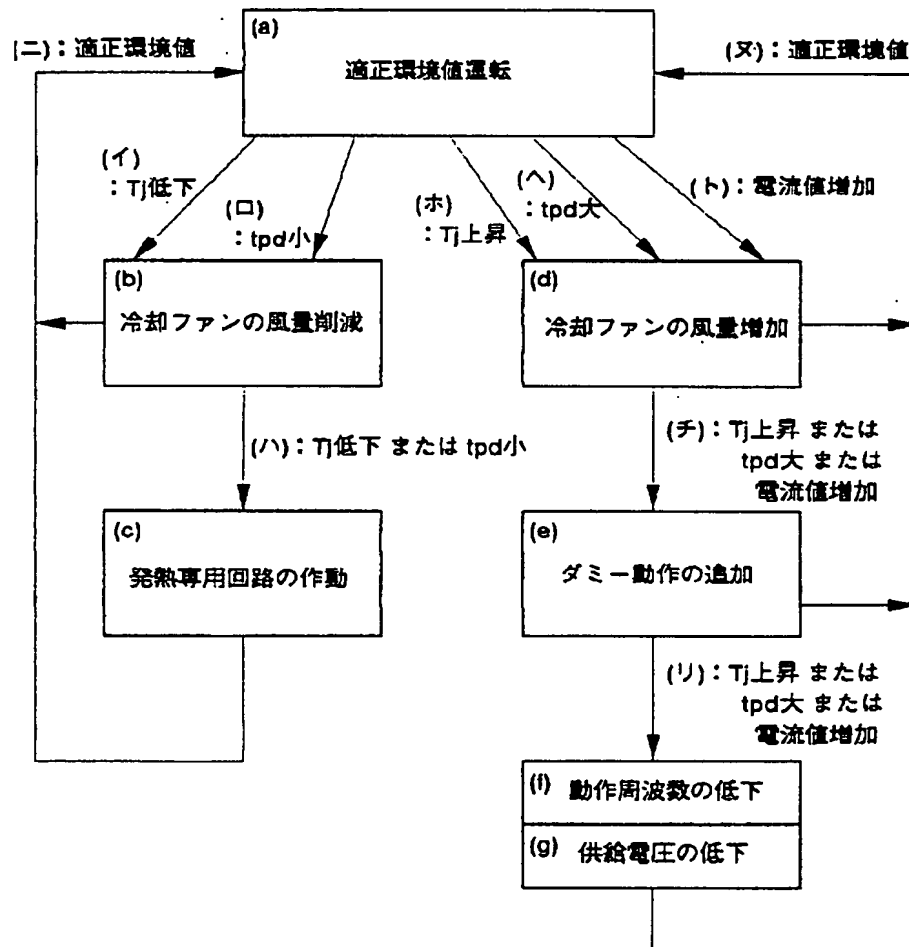
【図 14】

図14



【図13】

図13



【図15】

図15

